

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G11C 16/06

(11) 공개번호 특1996-0042759

(43) 공개일자 1996년12월21일

(21) 출원번호	특1996-0016353
(22) 출원일자	1996년05월16일
(30) 우선권 주장	95-116676 1995년05월16일 일본(JP)
(71) 출원인	가부시끼가이샤 도시바 사또 후미오
(72) 발명자	일본국 가나가와켄 가와사끼시 사이와이꾸 호리카와쵸 72반지 이또 야스오
(74) 대리인	일본국 가나가와켄 가와사끼시 사이와이꾸 고무카이도시바쵸 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내 구영창, 장수길

심사청구 : 없음

(54) 불휘발성 반도체 기억 장치

요약

각각 제1데이타와 제2데이타를 보유하는 제1플립플롭 회로와 제2플립플롭 회로, 이들 플립플롭 회로에 접속된 비트선과 메모리 셀을 구비한 불휘발성 반도체 기억 장치에 있어서, 하위 비트의 판독 및 데이타 로드를 제1플립플롭에서 행하고 상위 비트의 판독 및 데이타 로드를 제2플립플롭에서 행하는 것을 특징으로 하는 불휘발성 반도체 기억 장치를 제공한다. 이로써, 회로 규모를 대폭으로 증가시키지 않고 또 미세 가공 기술을 채용하지 않으면서 용이하게 다치 기억 셀의 판독, 기입, 검증을 행할 수 있어서 저코스트의 불휘발성 반도체 기억 장치가 실현된다.

대표도

도1

명세서

[발명의 명칭]

불휘발성 반도체 기억 장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 따른 불휘발성 반도체 기억 장치의 주요부, 제6도는 본 발명의 전체 회로 구성을 도시하는 도면.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

각각 제1데이타와 제2데이타를 보유하는 제1플립플롭 회로와 제2플립플롭 회로와, 이들 플립플롭 회로에 접속된 비트선(BLR, BLL, BLO, BLMO, BLLO)과 메모리 셀을 구비하는 불휘발성 반도체 기억 장치에 있어서, 하위 비트의 판독 및 데이타 로드를 제1플립플롭에서 행하고 상위 비트의 판독 및 데이타 로드를 제2플립플롭에서 행하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 2

제1항에 있어서, 상기 메모리 셀은 정보를 2비트 이상 보유하는 다치 기억인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 3

제1항에 있어서, 판독시에 상위 비트의 센스, 하위 비트의 센스 순으로 행하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 4

제1항에 있어서, 하위 비트의 판독시에 상위 비트의 데이타에 따라 하위 비트 센스용 래치 데이타의 값을 변화

시키는 수단을 구비하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 5

제1항에 있어서, 기입시에 상위 비트, 하위 비트의 순으로 데이터를 기입하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 6

부유 게이트를 가지며 그 임계치가 제1 내지 제4범위를 취함으로써 4차 데이터를 기억하는 메모리 셀(CELL); 상기 메모리 셀에 접속된 비트선(BLR, BLL, BLO, BLMO, BULO); 상기 비트선에 접속된 제1기억 회로; 상기 비트선에 접속된 제2기억 회로; 및 상기 제1 및 제2기억 회로와 접속된 데이터선으로 구성되며, 데이터 판독시에는, 제1단계에서, 상기 임계치가 상기 제1 및 제2범위나 상기 제3 및 제4범위의 어느 쪽에 속하는지를 검출하고 그 검출 결과를 상기 제1기억 회로에 보유하며, 제2단계에서, 만일 상기 제1단계에서 상기 임계치가 상기 제1 및 제2범위의 어느 쪽에 존재하는 것이 검출되어 있으면 다시 한번 이 임계치가 상기 제1범위나 상기 제2범위의 어느 쪽에 속하는지를 검출하고 그 검출 결과를 상기 제2기억 회로에 보유하며, 만일 제1단계에서 상기 임계치가 상기 제3 및 제4범위의 어느 쪽에 존재하는 것이 검출되어 있으면 다시 한번 이 임계치가 상기 제3 범위나 상기 제4범위의 어느 쪽에 속하는지를 검출하고 그 검출 결과를 상기 제2기억 회로에 보유하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 7

제6항에 있어서, 상기 제2단계에서 이어지는 제3단계에서 차례로 상기 제1 및 제2기억 회로에 보유된 데이터를 상기 데이터선을 통해 전송하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 8

부유 게이트를 가지며 그 임계치가 제1 내지 제1범위를 취함으로써 4차 데이터를 기억하는 메모리 셀; 상기 메모리 셀에 접속된 비트선; 상기 비트선에 접속된 제1기억 회로; 상기 비트선에 접속된 제2기억 회로; 및 상기 제1 및 제2기억 회로와 접속된 데이터선으로 구성되며, 데이터 판독시에는, 제1단계에서, 만일 상기 제1기억 회로에 보유된 데이터가 제1레벨이면 상기 임계치를 상기 제1범위로 설정하고 만일 상기 제1기억 회로에 보유된 데이터가 제2레벨이면 상기 임계치를 상기 제3범위로 설정하며, 제2단계에서, 만일 상기 제1단계에서 상기 임계치가 상기 제1범위에 설정되어 있고 상기 제1기억 회로에 보유된 데이터가 제1레벨이면 상기 임계치를 상기 제1범위로 설정하고 상기 제1기억 회로에 보유된 데이터가 제2레벨이면 상기 임계치를 상기 제2범위로 설정하며, 만일 상기 제1단계에서 상기 임계치가 상기 제3범위에 설정되어 있고 상기 제1기억 회로에 보유된 데이터가 제1레벨이면 상기 임계치를 상기 제3범위로 설정하고 상기 제1기억 회로에 보유된 데이터가 제2레벨이면 상기 임계치를 상기 제4범위로 설정하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면



